

### 特長

- 狭帯域SFDR > 72dB
- 2.3~5.5V電源
- 50MHzリファレンス・クロック、0~25MHz出力
- サイン波出力/三角波出力
- 内蔵コンパレータ
- 3線式SPI<sup>®</sup>インターフェース
- 拡張温度範囲: -40~+105°C
- パワーダウン・オプション
- 3Vで20mWの消費電力
- 20ピンTSSOPパッケージ

### アプリケーション

- 周波数励振/波形生成
- 周波數位相の同調/変調
- 低消費電力のRF/通信システム
- 液体と気体の流量測定
- センサー・アプリケーション — 接近、動き、欠陥の検出
- テスト機器、医療機器

### 概要

AD9834は、高性能なサイン波/三角波出力を生成できる50MHzの低消費電力DDSデバイスです。内蔵コンパレータによって、クロック生成用に方形波も生成できます。3Vで20mW

の電力しか消費しないため、AD9834は厳しい電源条件が求められるアプリケーションに最適です。

AD9834では、位相変調と周波数変調が可能です。周波数レジスタは28ビットで、50MHzのクロック・レートで0.2Hzの分解能を実現します。また、1MHzのクロック・レートでは、0.004Hzの分解能に調整できます。周波数と位相の変調は、シリアル・インターフェースを通じてレジスタにロードしたり、ソフトウェアやFSELECT/PSELECTピンを使用してレジスタをトグルすることによって変化します。

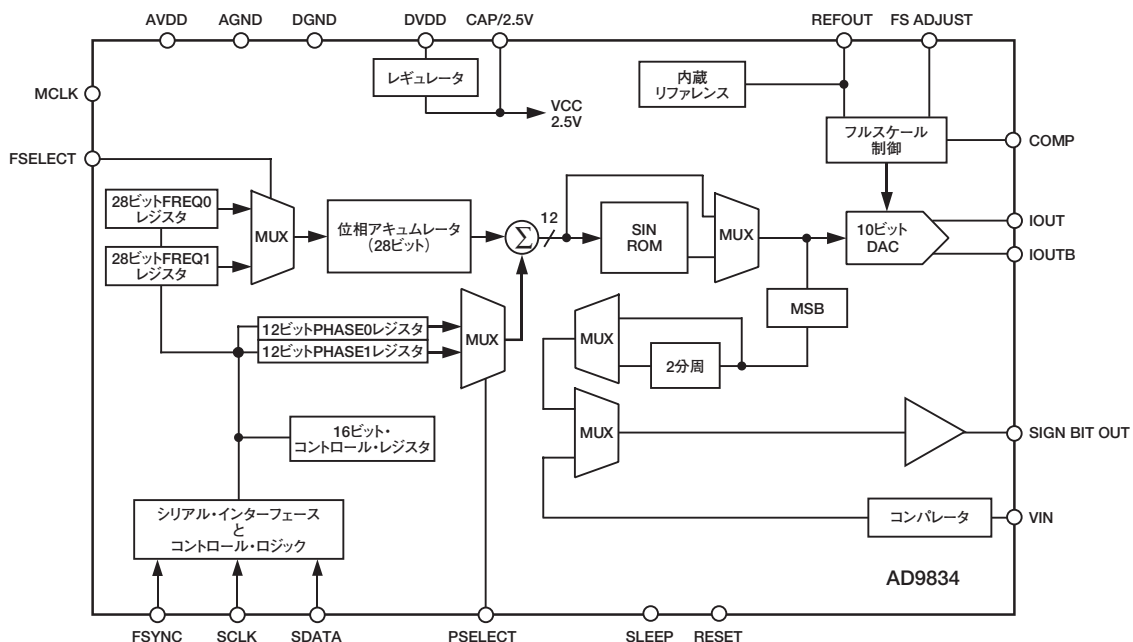
AD9834への書き込みには、3線式シリアル・インターフェースを使用します。このシリアル・インターフェースは、最高40MHzのクロック・レートで動作し、規格のDSPやマイクロコントローラに対応しています。

デバイスは2.3~5.5Vの電源で動作します。アナログ部とデジタル部はそれぞれ独立し、異なる電源を使用することができます。たとえば、AVDDが5V、DVDDが3Vで動作可能です。

AD9834には、パワーダウン・モードの外部制御を可能にするパワーダウン・ピン (SLEEP) があります。使用していないデバイス部分をパワーダウンすることで、消費電流を最小限に抑えることができます。たとえば、クロック出力を生成するときに、DACをパワーダウンすることが可能です。

AD9834は、20ピンのTSSOPパッケージを採用しています。

### 機能ブロック図



アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を暗示的または明示的に許諾するものでもありません。記載の商標および登録商標は、それぞれの企業が所有するものです。  
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

REV. 0

# AD9834 — 仕様<sup>1</sup> (特に指定のない限り、VDD=2.3~5.5V、AGND=DGND=0V、T<sub>A</sub>=T<sub>MIN</sub>~T<sub>MAX</sub>、R<sub>SET</sub>=6.8kΩ、I<sub>OUT</sub>とI<sub>OUTB</sub>に対してR<sub>LOAD</sub>=200Ω)

パラメータ	Min	Typ	Max	単位	テスト条件/備考
<b>DAC信号仕様</b>					
分解能		10		ビット	
更新レート			50	MSPS	
I <sub>OUT</sub> フルスケール <sup>2</sup>		3.0		mA	
V <sub>OUT</sub> 最大		0.6		V	
V <sub>OUT</sub> 最小		30		mV	
出力適合性 <sup>3</sup>			0.8	V	
DC精度					
積分非直線性		±1		LSB	
微分非直線性		±0.5		LSB	
<b>DDS仕様</b>					
ダイナミック仕様					
S/N比	55	60		dB	f <sub>MCLK</sub> =50MHz、f <sub>OUT</sub> =f <sub>MCLK</sub> /4096
全高調波歪み		-66	-56	dBc	f <sub>MCLK</sub> =50MHz、f <sub>OUT</sub> =f <sub>MCLK</sub> /4096
スプリアスフリー・ダイナミックレンジ (SFDR)					
広帯域 (0~ナイキスト)		-60	-56	dBc	f <sub>MCLK</sub> =50MHz、f <sub>OUT</sub> =f <sub>MCLK</sub> /50
狭帯域 (±200kHz)		-78	-67	dBc	f <sub>MCLK</sub> =50MHz、f <sub>OUT</sub> =f <sub>MCLK</sub> /50
クロック・フィードスルー		-50		dBc	
ウェイクアップ時間		1		ms	
<b>コンパレータ</b>					
入力電圧範囲			1	V p-p	内部的にAC結合
入力容量		10		pF	
入力高域カットオフ周波数		4		MHz	
入力DC抵抗		5		MΩ	
入力リーク電流			10	μA	
<b>出力バッファ</b>					
出力立ち上がり/立ち下がり時間		12		ns	15pFの負荷を使用
出力ジッター		120		ps rms	3MHzのサイン波0.6V p-p
<b>リファレンス</b>					
内蔵リファレンス	1.12	1.18	1.24	V	
REFOUT出力インピーダンス <sup>4</sup>		1		kΩ	
リファレンスTC		100		ppm/°C	
<b>ロジック入力</b>					
V <sub>INH</sub> 、ハイレベル入力電圧	1.7			V	2.3~2.7V電源
	2.0			V	2.7~3.6V電源
	2.8			V	4.5~5.5V電源
V <sub>INL</sub> 、ローレベル入力電圧			0.6	V	2.3~2.7V電源
			0.7	V	2.7~3.6V電源
			0.8	V	4.5~5.5V電源
I <sub>INH</sub> /I <sub>INL</sub> 、入力電流			10	μA	
C <sub>IN</sub> 、入力容量		3		pF	
<b>電源</b>					
AVDD	2.3		5.5	V	f <sub>MCLK</sub> =50MHz、f <sub>OUT</sub> =f <sub>MCLK</sub> /4096
DVDD	2.3		5.5	V	
I <sub>AA</sub> <sup>5</sup>		3.8	5	mA	
I <sub>DD</sub> <sup>5</sup>		2.0	3	mA	I <sub>DD</sub> コード依存。特性2を参照。
I <sub>AA</sub> +I <sub>DD</sub> <sup>5</sup>		5.8	8	mA	
低消費電力スリープ・モード		0.5		mA	DACパワーダウン、MCLK動作中

注

<sup>1</sup> 動作温度範囲：Bバージョン：-40~+105°C、一般的な仕様は25°Cです。

<sup>2</sup> 準拠のために、指定の負荷200Ωで、I<sub>OUT</sub>フルスケールが4mAを超えてはいけません。

<sup>3</sup> 設計により保証。

<sup>4</sup> REFOUTがソース電流のときに適用。REFOUTがシンク電流のときはインピーダンスが高くなります。

<sup>5</sup> デジタル入力がスタティックであり、0VまたはDVDDに等しい状態で測定。

仕様は予告なく変更されることがあります。

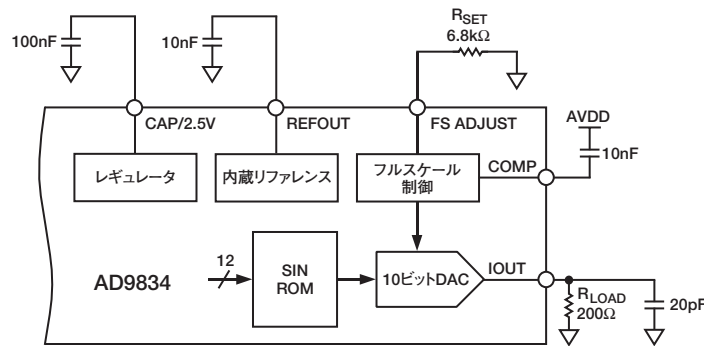


図1. 仕様のテストに用いたテスト回路

## タイミング特性<sup>1</sup> (特に指定のない限り、DVDD=2.3~5.5V、AGND=DGND=0V)

パラメータ	T <sub>MIN</sub> ~T <sub>MAX</sub> での限界	単位	テスト条件/備考
t <sub>1</sub>	20	ns (min)	MCLK周期
t <sub>2</sub>	8	ns (min)	MCLKハイレベル継続時間
t <sub>3</sub>	8	ns (min)	MCLKローレベル継続時間
t <sub>4</sub>	25	ns (min)	SCLK周期
t <sub>5</sub>	10	ns (min)	SCLKハイレベル継続時間
t <sub>6</sub>	10	ns (min)	SCLKローレベル継続時間
t <sub>7</sub>	5	ns (min)	FSYNC~SCLK立ち下がりエッジのセットアップ・タイム
t <sub>8 (min)</sub>	10	ns (min)	FSYNC~SCLKのホールド・タイム
t <sub>8 (max)</sub>	t <sub>4</sub> -5	ns (max)	
t <sub>9</sub>	5	ns (min)	データ・セットアップ・タイム
t <sub>10</sub>	3	ns (min)	データ・ホールド・タイム
t <sub>11</sub>	8	ns (min)	MCLK立ち上がりエッジ前のFSELECT、PSELECTセットアップ・タイム
t <sub>11A</sub>	8	ns (min)	MCLK立ち上がりエッジ後のFSELECT、PSELECTセットアップ・タイム
t <sub>12</sub>	5	ns (min)	SCLKハイレベル~FSYNC立ち下がりエッジのセットアップ・タイム

<sup>1</sup> 出荷テストではなく、設計により保証。

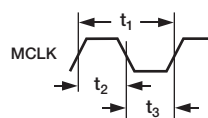


図2. マスター・クロック

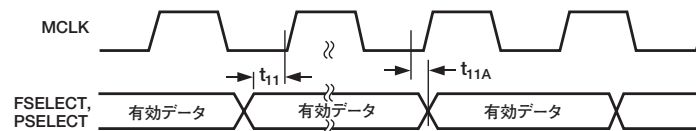


図3. 制御タイミング

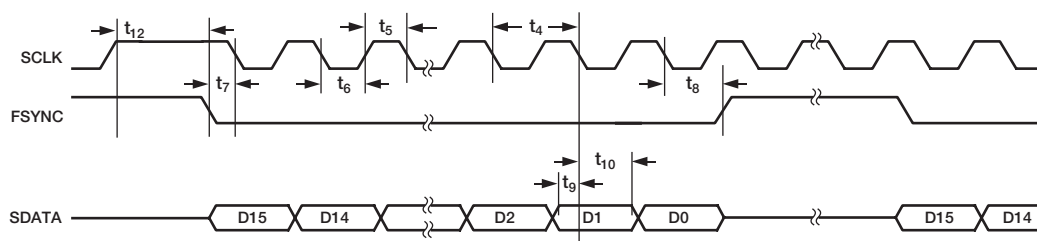


図4. シリアル・タイミング

# AD9834

## 絶対最大定格\*

(特に指定のない限り、 $T_A=25^\circ\text{C}$ )

AVDD~AGND .....  $-0.3\sim+6\text{V}$   
 DVDD~DGND .....  $-0.3\sim+6\text{V}$   
 AVDD~DVDD .....  $-0.3\sim+0.3\text{V}$   
 AGND~DGND .....  $-0.3\sim+0.3\text{V}$   
 CAP/2.5V .....  $2.75\text{V}$   
 デジタルI/O電圧~DGND .....  $-0.3\text{V}\sim\text{DVDD}+0.3\text{V}$   
 アナログI/O電圧~AGND .....  $-0.3\text{V}\sim\text{AVDD}+0.3\text{V}$

### 動作温度範囲

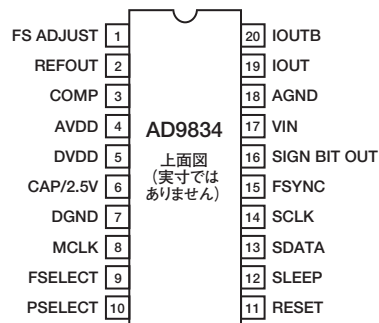
工業用 (Bバージョン) .....  $-40\sim+105^\circ\text{C}$   
 保管温度範囲 .....  $-65\sim+150^\circ\text{C}$   
 最大ジャンクション温度 .....  $150^\circ\text{C}$

### TSSOPパッケージ

$\theta_{JA}$ 熱抵抗 .....  $143^\circ\text{C}/\text{W}$   
 $\theta_{JC}$ 熱抵抗 .....  $45^\circ\text{C}/\text{W}$   
 ピン温度、ハンダ付け (10秒) .....  $300^\circ\text{C}$   
 IRリフロー、ピーク温度 .....  $220^\circ\text{C}$

\* 上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態にすると、デバイスの信頼性に影響を与えることがあります。

## ピン配置



## オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD9834BRU	$-40\sim+105^\circ\text{C}$	20ピンTSSOP (薄型シュリンク・スモール・アウトライン・パッケージ)	RU-20
EVAL-AD9834EB		評価ボード	

## 注意

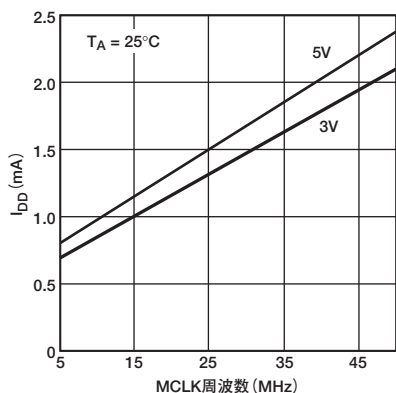
ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されます。AD9834は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



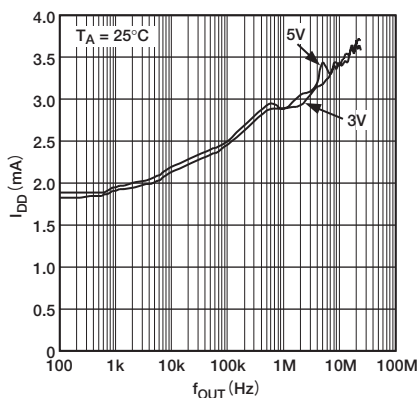
## ピン機能の説明

ピン番号	記号	機能
アナログ信号とリファレンス		
1	FS ADJUST	フルスケール調整制御 このピンとAGNDとの間に抵抗 ( $R_{SET}$ ) が接続されます。これによって、フルスケールDAC電流の大きさが決まります。 $R_{SET}$ とフルスケール電流との関係は次のとおりです。 $IOUT_{FULL\,SCALE} = 18 \times V_{REFOUT} / R_{SET}$ $V_{REFOUT} = 1.20V \text{ノミナル}, R_{SET} = 6.8k\Omega \text{標準}$
2	REFOUT	リファレンス出力 AD9834の内部1.20Vリファレンスは、このピンから使用できます。
3	COMP	DACバイアス・ピン このピンは、DACバイアス電圧のデカップリングに使用します。
17	VIN	コンパレータへの入力 コンパレータを使用すれば、サイン波DAC出力から方形波を生成できます。ジッターを改善するために、DAC出力を適切にフィルタ処理してから、コンパレータに印加してください。コントロール・レジスタのビットOPBITENとSIGNPIBを“1”に設定すると、コンパレータ入力がVINに接続されます。
19、20	IOUT、IOUTB	電流出力 これは高インピーダンスの電流源です。IOUTとAGNDの間に、公称値200 $\Omega$ の負荷抵抗を接続してください。IOUTBは、なるべく200 $\Omega$ の外部負荷抵抗を介してAGNDに接続してください。ただし、直接AGNDに接続することもできます。クロック・フィードスルーを防止するには、AGNDへの20pFコンデンサもお勧めします。
電源		
4	AVDD	アナログ部用の正電源 AVDDの値は2.3~5.5Vが可能です。AVDDとAGNDの間に、0.1 $\mu$ Fのデカップリング・コンデンサを接続してください。
5	DVDD	デジタル部用の正電源 DVDDの値は2.3~5.5Vが可能です。DVDDとDGNDの間に、0.1 $\mu$ Fのデカップリング・コンデンサを接続してください。
6	CAP/2.5V	デジタル回路は2.5V電源で動作します。内蔵レギュレータを使用して、DVDDから2.5Vを生成することができます (DVDDが2.7Vを超える場合)。レギュレータには、CAP/2.5VからDGNDに接続する100nF (typ値) のデカップリング・コンデンサが必要です。DVDDが2.7V以下の場合には、CAP/2.5VをDVDDに短絡してください。
7	DGND	デジタル・グラウンド
18	AGND	アナログ・グラウンド
デジタル・インターフェースと制御		
8	MCLK	デジタル・クロック入力 DDS出力周波数は、MCLKの周波数を2進数で除した数として表されます。出力周波数の精度と位相ノイズは、このクロックで決まります。
9	FSELECT	周波数選択入力 FSELECTで、位相アキュムレータで使用する周波数レジスタ (FREQ0またはFREQ1) を決めます。使用する周波数レジスタを選択するには、ピンFSELECTまたはビットFSELを使用します。ビットFSELを使用して周波数レジスタを選択する場合は、このピン (FSELECT) をCMOSのハイレベルまたはローレベルに接続してください。
10	PSELECT	位相選択入力 PSELECTで、位相アキュムレータ出力に加算される位相レジスタ (PHASE0またはPHASE1) を決めます。使用する位相レジスタを選択するには、ピンPSELECTまたはビットPSELを使用します。ビットPSELで位相レジスタを制御する場合は、このピン (PSELECT) をCMOSのハイレベルまたはローレベルに接続してください。
11	RESET	アクティブ・ハイ・デジタル入力 RESETは、適切な内部レジスタをゼロにリセットします。これは、ミッドスケールのアナログ出力に対応します。RESETは、アドレス可能なレジスタにも影響を与えません。
12	SLEEP	アクティブ・ハイ・デジタル入力 このピンがハイレベルのとき、DACがパワーダウンします。このピンの機能は、制御ビットSLEEP12と同じです。
13	SDATA	シリアル・データ入力 16ビットのシリアル・データワードがここに入力されます。
14	SCLK	シリアル・クロック入力 データは、SCLKの各立ち下がりエッジでAD9834にクロック入力されます。
15	FSYNC	アクティブ・ローのコントロール入力 これは入力データ用のフレーム同期信号です。FSYNCがローレベルになると、内部ロジックに、新しいワードがデバイスにロードされていることが通知されます。
16	SIGN BIT OUT	ロジック出力 このピンからコンパレータ出力か、NCOからのMSBが出力されます。コントロール・レジスタのビットOPBITENを“1”に設定すると、この出力ピンがイネーブルになります。ビットSIGNPIBで、このピンへの出力をコンパレータ出力にするか、NCOからのMSBにするかを決めます。

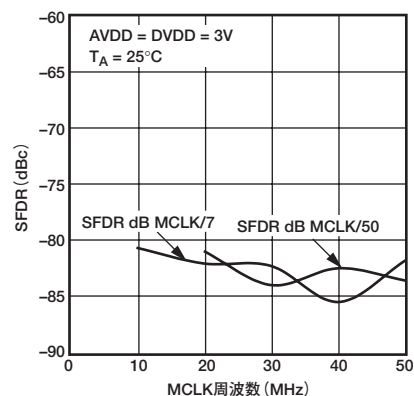
# AD9834 — 代表的な性能特性



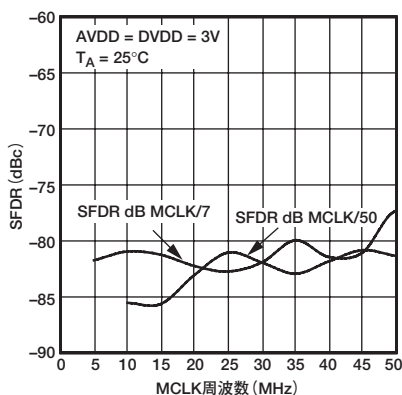
特性1. 代表的な消費電流とMCLK周波数の関係



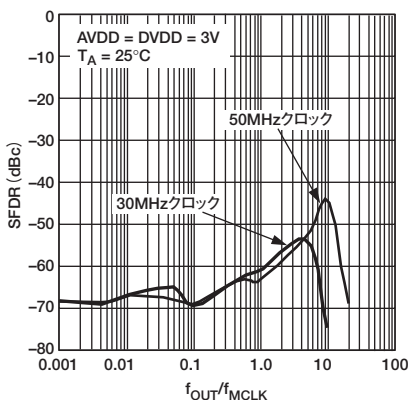
特性2.  $f_{MCLK}=50\text{MHz}$ での代表的な  $I_{DD}$  と  $f_{OUT}$  の関係



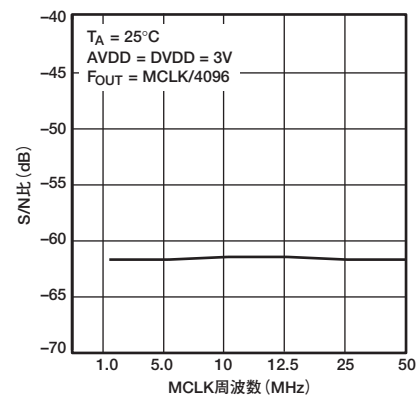
特性3. 狭帯域SFDRとMCLK周波数の関係



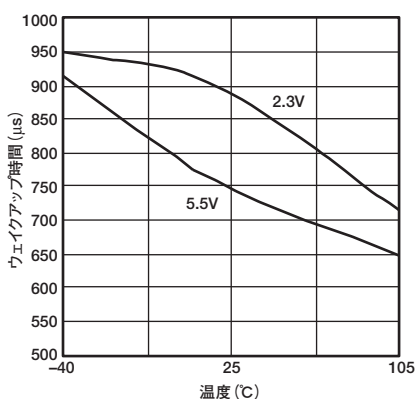
特性4. 広帯域SFDRとMCLK周波数の関係



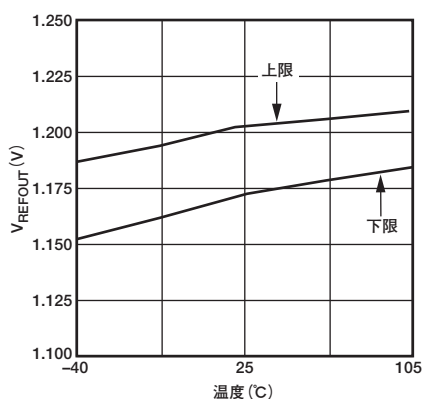
特性5. さまざまなMCLK周波数での広帯域SFDRと  $f_{OUT}/f_{MCLK}$  の関係



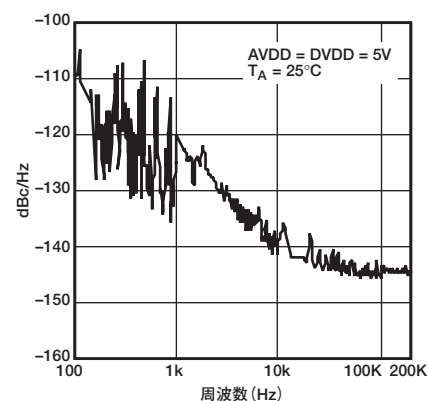
特性6. S/N比とMCLK周波数の関係



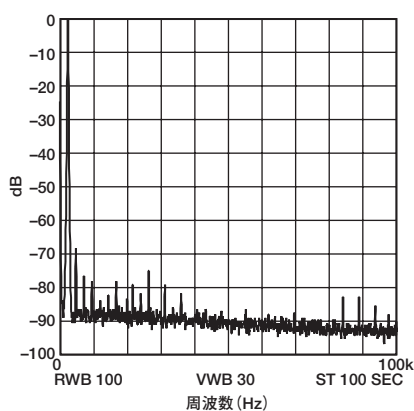
特性7. ウェイクアップ時間と温度の関係



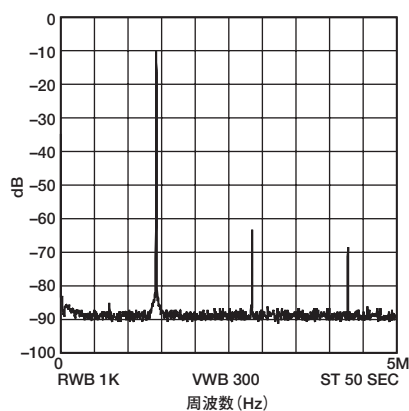
特性8.  $V_{REFOUT}$  と温度の関係



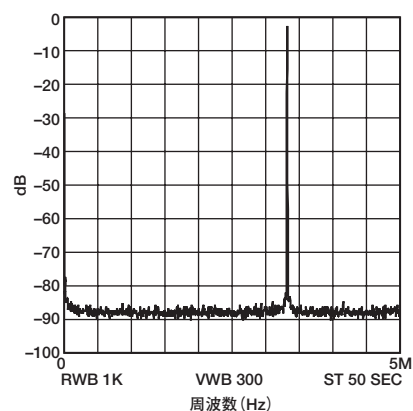
特性9.  $f_{OUT}=2\text{MHz}$ 、 $MCLK=50\text{MHz}$ のときの出力位相ノイズ



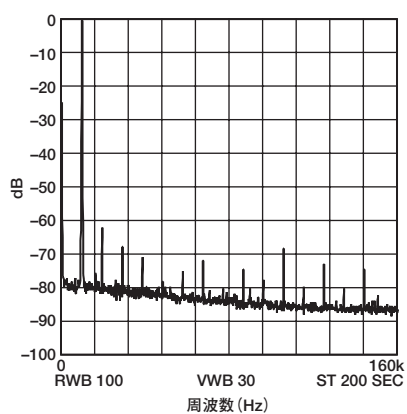
特性10.  $f_{MCLK}=10\text{MHz}$ 、  
 $f_{OUT}=2.4\text{kHz}$ 、周波数  
ワード=000FBA9



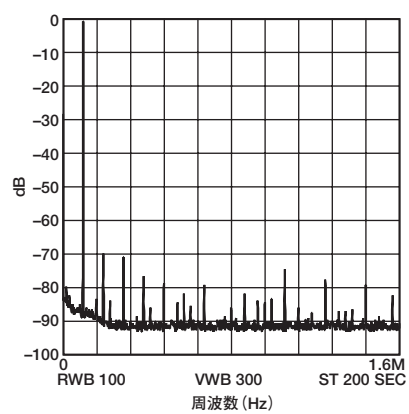
特性11.  $f_{MCLK}=10\text{MHz}$ 、  
 $f_{OUT}=1.43\text{MHz}$ 、  
 $f_{MCLK}/7$ 、周波数ワード=  
2492492



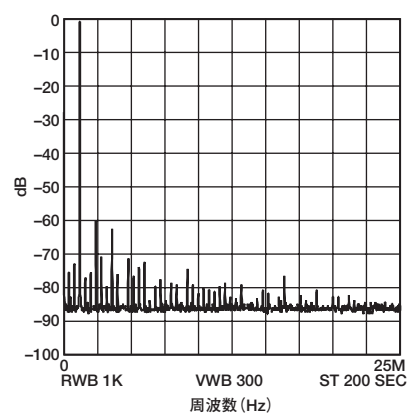
特性12.  $f_{MCLK}=10\text{MHz}$ 、  
 $f_{OUT}=3.33\text{MHz}$ 、  
 $f_{MCLK}/3$ 、周波数ワード=  
5555555



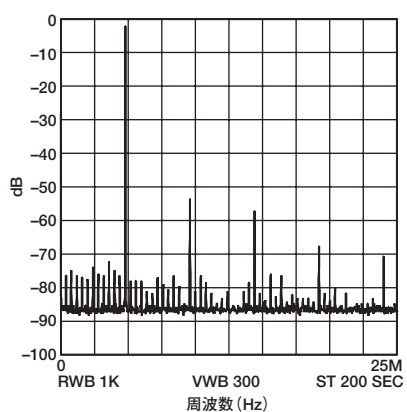
特性13.  $f_{MCLK}=50\text{MHz}$ 、  
 $f_{OUT}=12\text{kHz}$ 、周波数  
ワード=000FBA9



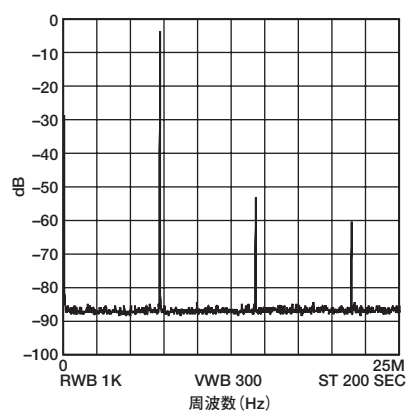
特性14.  $f_{MCLK}=50\text{MHz}$ 、  
 $f_{OUT}=120\text{kHz}$ 、周波数  
ワード=009D496



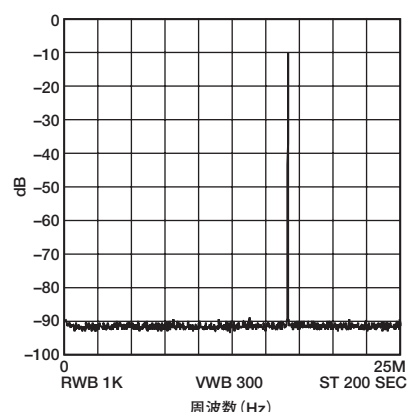
特性15.  $f_{MCLK}=50\text{MHz}$ 、  
 $f_{OUT}=1.2\text{MHz}$ 、周波数  
ワード=0624DD3



特性16.  $f_{MCLK}=50\text{MHz}$ 、  
 $f_{OUT}=4.8\text{MHz}$ 、周波数  
ワード=189374C



特性17.  $f_{MCLK}=50\text{MHz}$ 、  
 $f_{OUT}=7.143\text{MHz}$ 、  
 $f_{MCLK}/7$ 、周波数ワード=  
2492492



特性18.  $f_{MCLK}=50\text{MHz}$ 、  
 $f_{OUT}=16.667\text{MHz}$ 、  
 $f_{MCLK}/3$ 、周波数ワード=  
5555555

# AD9834

## 用語集

### 積分非直線性

伝達関数の両端を結ぶ直線からの任意のコードの最大偏差をいいます。伝達関数の両端は、最初のコード遷移（000...00から000...01）よりも0.5LSB下の点であるゼロ・スケールと、最後のコード遷移（111...10から111...11）よりも0.5LSB上の点であるフル・スケールです。誤差はLSBで表されます。

### 微分非直線性

DAC内の2つの隣接するコード間における1LSB変化の測定値と理想値の差をいいます。指定された微分非直線性の最大値が±1LSBであれば、単調性が保証されます。

### 出力コンプライアンス

仕様を満たすために、DACの出力で生成できる最大電圧をいいます。出力コンプライアンスに指定された値よりも大きい電圧が生成されると、AD9834は、データシートに記載された仕様を満たせないことがあります。

### スプリアスフリー・ダイナミック・レンジ

DDSデバイスの出力側には、対象となる周波数のほかに、基本周波数の高調波と、これらの周波数のイメージが存在します。スプリアスフリー・ダイナミック・レンジ（SFDR）とは、対象となる帯域に存在する最大のスプリアスまたは高調波をいいます。広帯域SFDRでは、“0”～ナイキスト帯域幅における基本周波数の振幅から見て最大の高調波またはスプリアスの振幅が与えられます。狭帯域SFDRでは、基本周波数について±200kHzの帯域幅で最大のスプリアスまたは高調波の減衰量が与えられます。

### 全高調波歪み

全高調波歪み（THD）は、高調波のrms値合計と基本波のrms値との比です。AD9834の場合、THDは次のように定義されます。

$$THD = 20 \log \sqrt{\frac{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}{V_1^2}}$$

ここで、 $V_1$ は基本波のrms振幅値であり、 $V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_6$ は、2～6次高調波のrms振幅です。

### S/N比（SNR）

S/N比は、測定された出力信号のrms値と、ナイキスト周波数より下の全スペクトル成分のrms値合計との比です。S/N比の値はdBで表されます。

### クロック・フィードスルー

MCLK入力からアナログ出力までフィードスルーがあります。クロック・フィードスルーとは、AD9834の出力スペクトル内の基本周波数を基準にしたMCLK信号の大きさをいいます。

### 動作原理

サイン波は、一般に、振幅形状 $a(t) = \sin(\omega t)$ とみなされます。ただし、これは非直線であり、ひとつひとつ作らない限り、簡単に生成できません。これに対して、角度情報は本質的に直線です。つまり、位相角は単位時間ごとに一定の角度だけ回転します。角速度は、 $\omega = 2\pi f$ という従来から使用されている割合で信号の周波数に依存します。

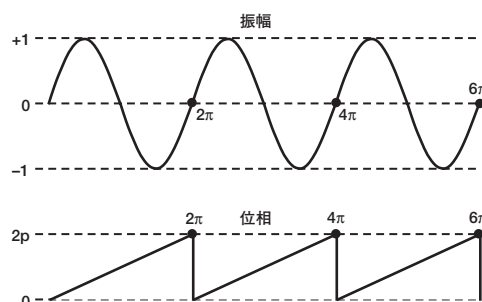


図5. サイン波

サイン波の位相が直線であることが分かっていて、リファレンス間隔（クロック周期）が与えられていれば、その周期に対する相回転を次のように求めることができます。

$$\Delta Phase = \omega \Delta t$$

$\omega$ について解くと、次のようになります。

$$\omega = \Delta Phase / \Delta t = 2\pi f$$

$f$ について解き、リファレンス・クロック周波数をリファレンス周期（ $1/f_{MCLK} = \Delta t$ ）に換えると、次のようになります。

$$f = \Delta Phase \times f_{MCLK} / 2\pi$$

AD9834は、この簡単な式に基づいて出力を生成します。数値制御発振器＋位相変調器、SIN ROM、DACという3つの主要なサブサーキットによって、簡単なDDSチップでこの式を実装できます。

次のセクションで、これらのサブサーキットについて説明します。

### 回路の説明

AD9834は、完全統合型のダイレクト・デジタル・シンセシス（DDS）チップです。最高25MHzまでのデジタル作成されたサイン波を提供するために、リファレンス・クロックが1つ、低精度抵抗が1つ、デカップリング・コンデンサが8つ必要です。RF信号を生成するほか、簡単な変調方式から複雑な変調方式まで広範囲にわたり完全な対応ができます。これらの変調方式は完全にデジタル領域で実現されているため、DSP技法を使用して複雑な変調アルゴリズムを正確かつ簡単に実現できます。

AD9834の内部回路は、数値制御発振器（NCO）、周波数／位相変調器、SIN ROM、DAC、コンパレータ、レギュレータという主要な要素で構成されています。

### 数値制御発振器＋位相変調器

これは、周波数選択レジスタ2つ、位相アキュムレータ1つ、位相オフセット・レジスタ2つ、位相オフセット加算器1つで構成されます。NCOの主要コンポーネントは、28ビットの位相アキュムレータです。連続時間信号の位相範囲は0～ $2\pi$ です。この範囲外では、サイン波関数が周期的に反復します。デジタル処理系も同様です。アキュムレータが、この範囲の位相数値をマルチビットのデジタル・ワードにそのままスケールリングします。AD9834の位相アキュムレータは、28ビットです。したがって、AD9834では、 $2\pi = 2^{28}$ となります。また、 $\Delta Phase$ 項も次の範囲の数値にスケールリングされます。

$$0 < \Delta Phase < 2^{28} - 1$$

前述の式にこれらを代入すると、次のようになります。

$$f = \Delta Phase \times f_{MCLK} / 2^{28}$$



位相アキュムレータへの入力には、FREQ0レジスタまたはFREQ1レジスタのいずれかを選択でき、FSELECTピンまたはFSELビットで制御します。NCOは本質的に連続した位相信号を生成するので、周波数を切り替えるときの出力の不連続性を回避できます。

NCOに続いて、位相オフセットを加算すれば、12ビットの位相レジスタを使用して位相変調を行うことができます。これらの位相レジスタの1つの内容が、NCOの最上位ビットに加算されます。AD9834には2つの位相レジスタがあり、これらのレジスタの分解能は $2\pi/4096$ です。

## SIN ROM

NCOからの出力を有用なものにするには、位相情報からサイン波値に変換する必要があります。位相情報が振幅に直接的に対応するため、SIN ROMは、デジタル位相情報をルックアップ・テーブルへのアドレスとして使用し、位相情報を振幅に変換します。NCOは28ビットの位相アキュムレータを内蔵していますが、NCOの出力は12ビットに切り捨てられます。位相アキュムレータのフル分解能を使用することは、 $2^{28}$ エントリのルックアップ・テーブルが必要となるため実用的でなく、またその必要もありません。ただ、適切な位相分解能があつて、切り捨てによる誤差が10ビットDACの分解能より小さくなりさえすれば十分です。このため、SIN ROMには、10ビットDACより2ビット大きい位相分解能を備えています。

SIN ROMをイネーブルにするには、コントロール・レジスタのビットMODEとOPBITENを使用します。詳細については、表XIVを参照してください。

## D/Aコンバータ

AD9834は、広範囲の負荷を駆動できる高インピーダンス電流源の10ビットDACを内蔵しています。フルスケールの出力電流を1本の外部抵抗 ( $R_{SET}$ ) を使用して調整し、最適な電力条件と外部負荷条件を実現できます。

DACは、シングルエンド動作または差動動作に構成できます。同等の外部抵抗を使用してIOUTとIOUTBをAGNDに接続すれば、コンプリメンタリー出力電圧を生成できます。負荷抵抗は任意の値にすることができますが、その両端に生成されるフルスケール電圧が電圧コンプライアンス範囲を超えないようにする必要があります。フルスケール電流は $R_{SET}$ によって制御できるので、 $R_{SET}$ の調整によって負荷抵抗の変動に対するバランスをとることができます。

## コンパレータ

AD9834を使用して、合成されたデジタル・クロック信号を生成できます。それには、内蔵セルフバイアス式コンパレータを使用して、DACのサイン波信号を方形波に変換します。DACからの出力を外部的にフィルタ処理してから、コンパレータ入力に印加することができます。コンパレータのリファレンスは、 $V_{IN}$ に印加される信号の時間平均です。コンパレータは、およそ100mV p-p~1V p-pの範囲の信号を受け付けることができます。コンパレータの入力はAC結合されるので、ゼロ・クロス検出器として正しく動作するには、一般に3MHzの最小入力周波数が必要です。コンパレータの出力は、0V~DVDDまでの振幅を持つ方形波になります。

コンパレータをイネーブルにするには、コントロール・レジスタのビットSIGNPIBとOPBITENに“1”を設定します。詳細については、表XIIIを参照してください。

## レギュレータ

AD9834では、アナログ部とデジタル部の電源が別になっています。AVDDがアナログ部に必要な電源を提供し、DVDDがデジタル部に電源を提供します。これらの電源はいずれも2.3

~5.5Vの値が可能で、互いに独立しています。たとえば、アナログ部を5V、デジタル部を3Vで動作させることができ、その逆も可能です。

AD9834の内部デジタル部は2.5Vで動作します。内蔵レギュレータは、DVDDで印加された電圧を2.5Vまで下げます。AD9834のデジタル・インターフェース (シリアル・ポート) もDVDDで動作します。これらのデジタル信号は、2.5V互換となるようにAD9834内でレベル・シフトされます。

AD9834のDVDDピンの印加電圧が2.7V以下の場合、ピンCAP/2.5VとDVDDを接続して内蔵レギュレータをバイパスしてください。

## 機能の説明

### シリアル・インターフェース

AD9834の標準3線式シリアル・インターフェースは、SPI、QSPI™、MICROWIRE™、DSPインターフェース規格と互換性があります。

データは、シリアル・クロック入力SCLKの制御により、16ビット・ワードでデバイスにロードされます。この動作のタイミング図を図4に示します。

FSYNC入力は、フレーム同期およびチップ・イネーブルとして機能するレベル・トリガ入力です。データをデバイスに転送できるのは、FSYNCがローレベルのときだけです。シリアル・データ転送を開始するには、FSYNCからSCLK立ち下がりエッジまでの最小セットアップ・タイム $t_1$ を守りながら、FSYNCをローレベルにしてください。FSYNCがローレベルになった後、SCLKの立ち下がりエッジで16クロック・パルスの間、シリアル・データがデバイスの入力シフト・レジスタにシフトインされます。SCLK立ち下がりエッジからFSYNC立ち上がりエッジまでの最小時間 $t_2$ を守りながら、SCLKの16番目の立ち下がりエッジの後でFSYNCをハイレベルにすることができます。あるいは、16 SCLKパルスの倍数の間FSYNCをローレベルに保持してから、データ転送の最後にハイレベルにすることも可能です。このように、FSYNCがローレベルに保持されている間に、16ビット・ワードの連続したストリームをロードできます。FSYNCは、ロードされた最後のワードの16番目のSCLK立ち下がりエッジの後にならないとハイレベルになりません。

SCLKは連続にすることができます。あるいは、SCLKを書き込み操作と次の書き込み操作の間でアイドル・ハイまたはアイドル・ローにできますが、FSYNCがローレベルになるとき ( $t_{12}$ )、SCLKはハイレベルでなければなりません。

### AD9834のパワーアップ

図8のフローチャートに、AD9834の動作ルーチンを示します。AD9834がパワーアップされるとき、デバイスはリセットする必要があります。これによって、ミッドスケールのアナログ出力を提供できるように適切な内部レジスタを“0”にリセットします。AD9834の初期化時にスプリアスDAC出力が生じないように、デバイスが出力する準備ができるまで、RESETビット/ピンを“1”に設定してください。RESETでは、位相レジスタ、周波数レジスタ、コントロール・レジスタはリセットされません。これらのレジスタには無効なデータが含まれるため、ユーザーが既知の値を設定してください。次に、RESETビット/ピンに“0”を設定して出力の生成を開始します。RESETに“0”が設定されてから8 MCLKサイクル後に、データがDAC出力に現れます。

### レイテンシ

各動作にはレイテンシが伴います。ピンFSELECTとPSELECTの値が変化すると、選択されたレジスタに制御が移されるまで

# AD9834

にパイプライン遅延が生じます。タイミング仕様 $t_{11}$ と $t_{11A}$ が満たされている場合（図3を参照）、FSELECTとPSELECTには8 MCLKサイクルのレイテンシがあります。タイミング仕様 $t_{11}$ と $t_{11A}$ が満たされない場合、レイテンシは1 MCLKサイクルだけ増加します。

同様に、それぞれの非同期書き込み操作にもレイテンシが伴います。選択した周波数/位相レジスタに新しいワードがロードされた場合は、アナログ出力が変化するまでに8~9 MCLKサイクルの遅延があります。（この遅延は、データがデステーション・レジスタにロードされるときMCLK立ち上がりエッジの位置に依存するため、1 MCLKサイクルの不確か性が伴います）。

RESET機能とSLEEP機能の負遷移は、MCLKの内部立ち下がりエッジでサンプリングされます。したがって、これらにもレイテンシが伴います。

## コントロール・レジスタ

AD9834には、ユーザーの必要に応じてAD9834をセットアップする16ビットのコントロール・レジスタが内蔵されています。MODE以外のすべての制御ビットは、MCLKの内部負エッジでサンプリングされます。

表IIに、コントロール・レジスタの個々のビットを示します。AD9834のさまざまな機能と出力オプションについては、表IIの後のセクションで詳しく説明します。

コントロール・レジスタの内容が変更されることをAD9834に知らせるには、下に示すように、D15とD14を“0”に設定する必要があります。

表I. コントロール・レジスタ

D15	D14	D13	D0
0	0	制御ビット	

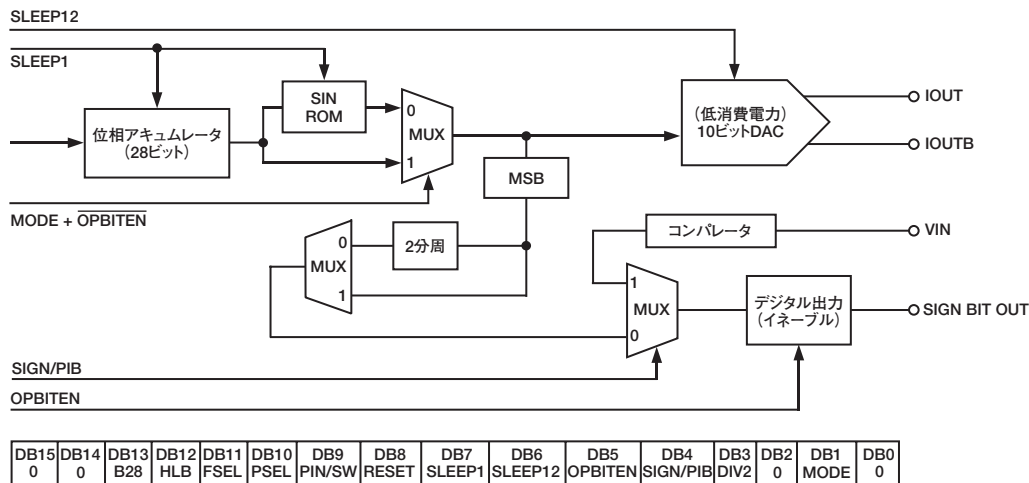


図6. 制御ビットの機能

表II. コントロール・レジスタ内のビットの説明

ビット	名前	機能
D13	B28	<p>完全なワードをいずれかの周波数レジスタにロードするには、2つの書き込み操作が必要です。</p> <p>B28=1では、2つの連続した書き込みで完全なワードを周波数レジスタにロードできます。最初の書き込みには周波数ワードの14 LSBsが含まれ、次の書き込みには14 MSBsが含まれます。各16ビット・ワードの最初の2ビットでワードがロードされる周波数レジスタを定義するため、2つの連続書き込みでこれを同じものにしてください。適切なアドレスについては、表VIを参照してください。周波数レジスタへの書き込みは両方のワードがロードされてから行われるため、レジスタでは中間値を保持しません。完全な28ビット書き込みの例を表VIIに示します。</p> <p>B28=0の場合、28ビットの周波数レジスタは2つの14ビット・レジスタとして動作し、一方には14 MSBs、他方には14 LSBsが含まれます。つまり、周波数ワードの14 MSBsは14 LSBsとは独立に変更することができ、その逆も可能です。14 MSBsまたは14 LSBsを変更するには、適切な周波数アドレスに対して書き込みを1つ行います。制御ビットD12 (HLB) は、変更されるビットが14 MSBsか14 LSBsかをAD9834に通知します。</p>
D12	HLB	<p>この制御ビットによって、ユーザーは、周波数レジスタのMSBsまたはLSBsを連続的にロードしながら、残りの14ビットを無視することができます。これは、完全な28ビット分解能が必要でない場合に便利です。HLBは、D13 (B28) と組み合わせて使用します。この制御ビットは、ロードしている14ビットを、アドレス指定された周波数レジスタの14 MSBsに転送するか14 LSBsに転送するかを示します。周波数ワードのMSBsとLSBsを別々に変更するには、D13 (B28) に“0”を設定する必要があります。D13 (B28) =1の場合、この制御ビットは無視されます。</p> <p>HLB=1で、アドレス指定された周波数レジスタの14 MSBsに書き込みできます。</p> <p>HLB=0で、アドレス指定された周波数レジスタの14 LSBsに書き込みできます。</p>
D11	FSEL	<p>FSELビットは、位相アキュムレータで使用するレジスタ (FREQ0またはFREQ1) を定義します。周波数レジスタの選択については、表IVを参照してください。</p>

表II. コントロール・レジスタ内のビットの説明 (続き)

ビット	名前	機能
D10	PSEL	PSELビットは、位相アキュムレータの出力にデータを加算するレジスタ (PHASE0またはPHASE1) を定義します。位相レジスタの選択については、表Vを参照してください。
D9	PIN/SW	周波数レジスタと位相レジスタを選択し、内部レジスタをリセットし、DACをパワーダウンする機能は、ソフトウェアまたはハードウェアを使用して実装できます。PIN/SWで、これらの機能に対する制御のソースを選択します。 PIN/SW=1で、適切な制御ピンによって機能を制御します。 PIN/SW=0で、適切な制御ビットによって機能を制御します。
D8	RESET	RESET=1で、内部レジスタを“0”にリセットします (ミッドスケールのアナログ出力に対応)。 RESET=0で、RESETをディスエーブルにします。この機能については、表XIを参照してください。
D7	SLEEP1	SLEEP1=1で、内部MCLKクロックをディスエーブルにします。NCOがもう累算しないので、DAC出力はその現在値のままです。 SLEEP1=0で、MCLKはイネーブルになります。この機能については、表XIIを参照してください。
D6	SLEEP12	SLEEP12=1で、内蔵DACをパワーダウンします。これは、AD9834を使用してDACデータのMSBを出力するときに便利です。 SLEEP12=0で、DACはアクティブです。この機能については、表XIIを参照してください。
D5	OPBITEN	このビットの機能は、ピンSIGN BIT OUTに出力があるかどうかを制御することです。ユーザーがピンSIGN BIT OUTを使用しない場合は、このビットを“0”のままにしてください。 OPBITEN=1で、ピンSIGN BIT OUTをイネーブルにします。 OPBITEN=0では、SIGN BIT OUT出力バッファが高インピーダンス状態に置かれるため、SIGN BIT OUTピンからの出力はありません。
D4	SIGNPIB	このビットの機能は、ピンSIGN BIT OUTに出力する内容を制御することです。 SIGNPIB=1では、内蔵コンパレータがSIGN BIT OUTに接続されます。DACからのサイン波出力をフィルタ処理した後、波形をコンパレータに印加して方形波を生成できます。これについては、表XIIIを参照してください。 SIGNPIB=0では、DACデータのMSB (またはMSB/2) がピンSIGN BIT OUTに接続されます。ビット
D3	DIV2	DIV2で、MSBを出力するかMSB/2を出力するかを制御します。 DIV2は、SIGNPIBやOPBITENと組み合わせて使用します。これについては、表XIIIを参照してください。 DIV2=1で、デジタル出力がSIGN BIT OUTピンに直接出力されます。 DIV2=0で、デジタル出力/2がSIGN BIT OUTピンに直接出力されます。
D2	予約済み	このビットは、常に“0”に設定する必要があります。
D1	MODE	このビットの機能は、IOUT/IOUTBピンに出力する内容を制御することです。制御ビットOPBITEN=1の場合は、このビットを“0”に設定してください。 MODE=1で、SIN ROMをバイパスし、DACから三角波出力が得られます。 MODE=0で、SIN ROMを使用して位相情報を振幅情報に変換し、サイン波信号の出力が得られます (表XIVを参照)。
D0	予約済み	このビットは、常に“0”に設定する必要があります。

### 周波数レジスタと位相レジスタ

AD9834には、2つの周波数レジスタと2つの位相レジスタがあります。これらを表IIIで説明します。

表III. 周波数/位相レジスタ

レジスタ	サイズ	説明
FREQ0	28ビット	周波数レジスタ“0”。FSELビットまたはFSELECTピン=0で、このレジスタが出力周波数をMCLK周波数の分数として定義します。
FREQ1	28ビット	周波数レジスタ“1”。FSELビットまたはFSELECTピン=1で、このレジスタが出力周波数をMCLK周波数の分数として定義します。
PHASE0	12ビット	位相オフセット・レジスタ“0”。PSELビットまたはPSELECTピン=0で、このレジスタの内容が位相アキュムレータの出力に加算されます。
PHASE1	12ビット	位相オフセット・レジスタ“1”。PSELビットまたはPSELECTピン=1で、このレジスタの内容が位相アキュムレータの出力に加算されます。

AD9834からのアナログ出力は次のとおりです。

$$f_{MCLK}/2^{28} \times FREQREG$$

ここで、FREQREGは、選択した周波数レジスタにロードされる値です。この信号は、次の値だけ位相シフトされます。

$$2\pi/4096 \times PHASEREG$$

ここで、PHASEREGは、選択した位相レジスタに含まれる値です。望ましくない出力を防止するには、選択した出力周波数とリファレンス・クロック周波数の関係に注意する必要があります。

周波数レジスタと位相レジスタへのアクセスは、FSELECT/PSELECTピンとFSEL/PSEL制御ビットで制御します。制御ビットPIN/SW=1ではピンで機能を制御し、PIN/SW=0ではビットで機能を制御します。これについては、表IVとVに示します。FSEL/PSELビットを使用している場合は、ピンをなるべくCMOSロジック・ハイまたはローに保持してください。周波数/位相レジスタの制御は、ピンからビットに交換できます。

# AD9834

表IV. 周波数レジスタの選択

FSELECT	FSEL	PIN/SW	選択されるレジスタ
0	X	1	FREQ0 REG
1	X	1	FREQ1 REG
X	0	0	FREQ0 REG
X	1	0	FREQ1 REG

表V. 位相レジスタの選択

PSELECT	PSEL	PIN/SW	選択されるレジスタ
0	X	1	PHASE0 REG
1	X	1	PHASE1 REG
X	0	0	PHASE0 REG
X	1	0	PHASE1 REG

FSELECTピンとPSELECTピンは、MCLKの内部立ち下がりエッジでサンプリングされます。MCLKの立ち下がりエッジの時間ウィンドウ内では、これらのピンのデータを変更しないことをお勧めします（タイミングについては図3を参照）。立ち下がりエッジの発生時にFSELECT/PSELECTが値を変更した場合、他の周波数/位相レジスタに制御が移るタイミングについて、1 MCLKサイクルの不確実性が伴います。

図9と10のフローチャートに、AD9834の周波数レジスタと位相レジスタの選択と書き込みの手順を示します。

## 周波数レジスタへの書き込み

周波数レジスタに書き込むとき、ビットD15とD14で周波数レジスタのアドレスを与えます。

表VI. 周波数レジスタのビット

D15	D14	D13	D0
0	1		14 FREQ0レジスタ・ビット
1	0		14 FREQ1レジスタ・ビット

ユーザーが周波数レジスタの内容全体を変更したい場合には、周波数レジスタが28ビット幅であるため、同じアドレスに連続した書き込みを2つ実行する必要があります。最初の書き込みには14 LSBs、2番目の書き込みには14 MSBsが含まれます。この動作モードでは、制御ビットB28 (D13) を“1”に設定してください。28ビット書き込みの例を表VIIに示します。

表VII. FREQ0レジスタにFFFC000を書き込む

SDATA入力	入力ワードの結果
0010 0000 0000 0000	制御ワードの書き込み (D15、D14=00)、B28 (D13) =1、HLB (D12) =X
0100 0000 0000 0000	FREQ0レジスタの書き込み (D15、D14=01)、14 LSBs=0000
0111 1111 1111 1111	FREQ0レジスタの書き込み (D15、D14=01)、14 MSBs=3FFF

アプリケーションによっては、周波数レジスタの全28ビットを変更する必要がないこともあります。粗同調にすれば14 MSBsだけを変更し、微同調では14 LSBsだけを変更します。制御ビットB28 (D13) を“0”に設定すれば、28ビットの周波数レジスタが2つの14ビット・レジスタとして動作し、1つには14 MSBs、もう1つには14 LSBsが含まれます。つまり、周波数ワードの14 MSBsを14 LSBsとは独立して変更でき、その逆も

可能です。コントロール・レジスタ内のビットHLB (D12) で、どちらの14ビットが変更されているかを識別します。この例を表VIIIとIXに示します。

表VIII. FREQ1レジスタの14 LSBsに3FFFを書き込む

SDATA入力	入力ワードの結果
0000 0000 0000 0000	制御ワードの書き込み (D15、D14=00)、B28 (D13) =0、HLB (D12) =0、つまりLSB
1011 1111 1111 1111	FREQ1レジスタの書き込み (D15、D14=10)、14 LSBs=3FFF

表IX. FREQ0レジスタの14 MSBsに00FFを書き込む

SDATA入力	入力ワードの結果
0001 0000 0000 0000	制御ワードの書き込み (D15、D14=00)、B28 (D13) =0、HLB (D12) =1、つまりMSB
0100 0000 1111 1111	FREQ0レジスタの書き込み (D15、D14=01)、14 MSBs=00FF

## 位相レジスタへの書き込み

位相レジスタに書き込むとき、ビットD15とD14は11に設定されます。ビットD13は、どの位相レジスタがロードされているかを識別します。

表X. 位相レジスタのビット

D15	D14	D13	D12	D11	D0
1	1	0	X	MSB	12 PHASE0ビット LSB
1	1	1	X	MSB	12 PHASE1ビット LSB

## RESET機能

RESET機能では、ミッドスケールのアナログ出力を提供するために、適切な内部レジスタを“0”にリセットします。RESETでは、位相レジスタ、周波数レジスタ、コントロール・レジスタはリセットしません。

AD9834をパワーアップするとき、デバイスをリセットしてください。AD9834をリセットするには、RESETピン/ビットを“1”に設定します。デバイスをリセット状態から抜け出させるには、ピン/ビットを“0”に設定します。RESETに“0”を設定してから7 MCLKサイクル後に、信号がDAC出力に現れます。

RESET機能は、RESETピンとRESET制御ビットで制御します。制御ビットPIN/SW=0ではRESETビットが機能を制御し、PIN/SW=1ではピンが機能を制御します。

表XI. RESETの適用

RESETピン	RESETビット	PIN/SW	結果
0	X	1	リセットの適用なし
1	X	1	内部レジスタのリセット
X	0	0	リセットの適用なし
X	1	0	内部レジスタのリセット

RESETピンをアサートすると、その効果がすぐに出力に現れ、このピンの0から1への遷移がサンプリングされなくなります。RESETの負の遷移の方は、MCLKの内部立ち下がりエッジでサンプリングされます。

## SLEEP機能

消費電力を最小限に抑えるため、AD9834で使用していない部分をパワーダウンすることが可能です。これにはSLEEP機能を使用します。パワーダウンできるチップ部分は、内部クロックとDACです。DACは、ハードウェアかソフトウェアでパワーダウンできます。SLEEP機能に必要なピン/ビットを表XIIに示します。

表XII. SLEEP機能の適用

SLEEP ピン	SLEEP1 ビット	SLEEP12 ビット	PIN/SW ビット	結果
0	X	X	1	パワーダウンなし
1	X	X	1	DACがパワーダウン
X	0	0	0	パワーダウンなし
X	0	1	0	DACがパワーダウン
X	1	0	0	内部クロックが ディスエーブル
X	1	1	0	DACがパワーダウンし、内部クロックが ディスエーブル

## DACのパワーダウン

これは、DACデータのMSBだけを出力するためにAD9834を使用する場合に便利です。この場合、DACは必要ないので、パワーダウンして消費電力を減らすことができます。

## 内部クロックのディスエーブル

AD9834の内部クロックがディスエーブルにされると、NCOが累算しないので、DAC出力はその現在値のままになります。新しい周波数ワード、位相ワード、および制御ワードは、SLEEP1制御ビットがアクティブのときに、デバイスに書き込みできます。同期クロックはまだアクティブなので、選択した周波数レジスタと位相レジスタをピンまたは制御ビットを使用して変更することもできます。SLEEP1ビットを“0”に設定すると、MCLKがイネーブルになります。SLEEP1がアクティブのときにレジスタに行われた変更は、一定のレイテンシの後で出力に現れます。

SLEEPピンをアサートすると、その効果がすぐに出力に現れ、このピンの0から1への遷移はサンプリングされなくなります。SLEEPの負の遷移の方は、MCLKの内部立ち下がりエッジでサンプリングされます。

## SIGN BIT OUTピン

AD9834は、チップからさまざまな出力を提供します。SIGN BIT OUTピンからは、デジタル出力が得られます。出力は、コンパレータ出力かDACデータのMSBになります。SIGN BIT OUTピンを制御するビットを表XIIIに示します。

このピンを使用するには、まずイネーブルにする必要があります。ピンのイネーブル/ディスエーブルは、コントロール・レジスタのビットOPBITEN (D5)で制御します。OPBITEN=1で、このピンはイネーブルです。なお、OPBITEN=1の場合には、コントロール・レジスタのMODEビット (D1)を“0”に設定してください。

## コンパレータ出力

AD9834には内蔵コンパレータがあります。このコンパレータをSIGN BIT OUTピンに接続するには、SIGNPIB (D4)制御ビットを“1”に設定する必要があります。DACからのサイン波出力をフィルタ処理した後、コンパレータに波形を印加すれば、方形波を生成できます。

## NCOのMSB

AD9834は、NCOのMSBを出力できます。SIGNPIB (D4)制御ビットを“0”に設定すると、SIGN BIT OUTピンからDACデータのMSBが得られます。これは、粗なクロック・ソースとして便利です。この方形波を2分周してから出力することもできます。コントロール・レジスタのビットDIV2 (D3)で、SIGN BIT OUTピンからのこの出力の周波数を制御します。

表XIII. SIGN BIT OUTからのさまざまな出力

OPBITEN ビット	MODE ビット	SIGNPIB ビット	DIV2 ビット	SIGN BIT OUT ピン
0	X	X	X	高インピーダンス
1	0	0	0	DACデータMSB/2
1	0	0	1	DACデータMSB
1	0	1	0	予約済み
1	0	1	1	コンパレータ出力
1	1	X	X	予約済み

## IOUT/IOUTBピン

AD9834からのアナログ出力は、IOUT/IOUTBピンで利用できます。これには、サイン波出力と三角波出力があります。

### サイン波出力

SIN ROMを使用して、周波数レジスタと位相レジスタからの位相情報を振幅情報に変換すると、出力でサイン波信号が得られます。IOUT/IOUTBピンからサイン波出力を得るには、ビットMODE (D1) = 0に設定します。

### 三角波出力

SIN ROMをバイパスして、NCOからの切り捨てられたデジタル出力をDACに送信できます。この場合、出力はサイン波でなく、DACは10ビットの直線三角波を生成します。IOUT/IOUTBピンから三角波出力を得るには、ビットMODE (D1) = 1に設定します。

なお、これらのピンを使用するときは、SLEEPピン/SLEEP12ビットが“0” (DACがイネーブル) でなければなりません。

表XIV. IOUT/IOUTBからのさまざまな出力

OPBITENビット	MODEビット	IOUT/IOUTBピン
0	0	サイン波
0	1	三角波
1	0	サイン波
1	1	予約済み

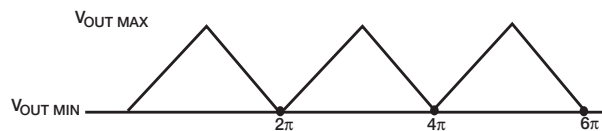


図7. 三角波出力

# AD9834

## アプリケーション

さまざまな出力オプションが利用できるため、多種多様なアプリケーションに合わせてAD9834を構成することができます。

AD9834に適した領域の1つは、変調アプリケーションです。AD9834を使用すれば、FSKなどの簡単な変調を実行できるだけでなく、GMSKやQPSKなどのもっと複雑な変調方式も実現できます。

FSKアプリケーションでは、AD9834の2つの周波数レジスタに異なる値をロードします。周波数の1つはスペース周波数、もう1つはマーク周波数になります。デジタル・データ・スト

リームがFSELECTピンに供給されると、AD9834は2つの値の間でキャリア周波数を変調します。

AD9834には2つの位相レジスタがあり、PSKを実行できます。位相シフト・キーイングによって、キャリア周波数を位相シフトし、変調器に入力するビット・ストリームに関連する量だけ位相を変更します。

AD9834は、信号発生器アプリケーションにも適しています。内蔵コンパレータがあるため、方形波の生成に使用できます。

AD9834は消費電流が少ないため、アプリケーションの中でローカル発振器として使用することにも適しています。

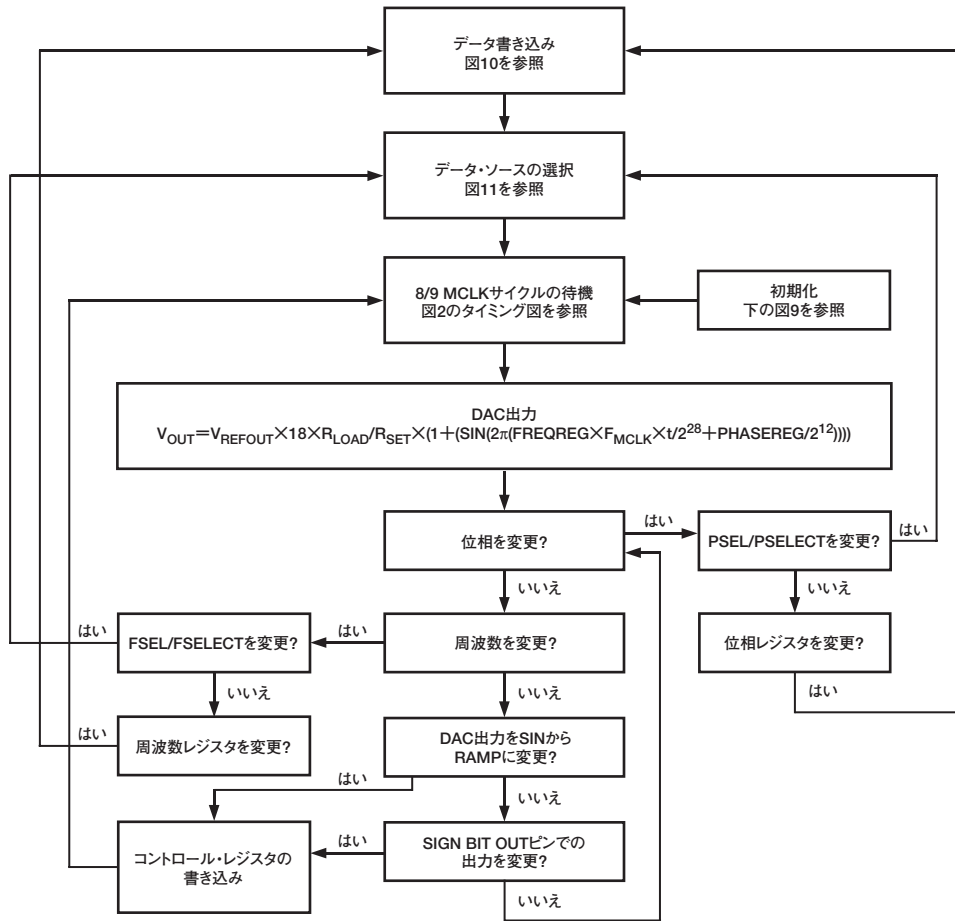


図8. 初期化と操作のフローチャート

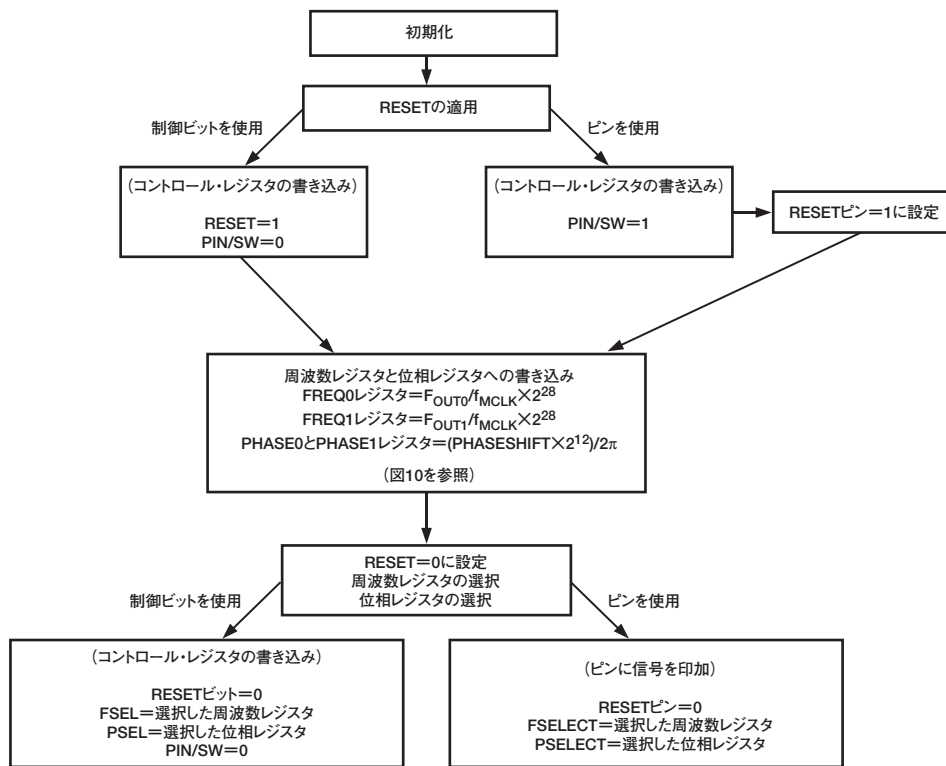


図9. 初期化

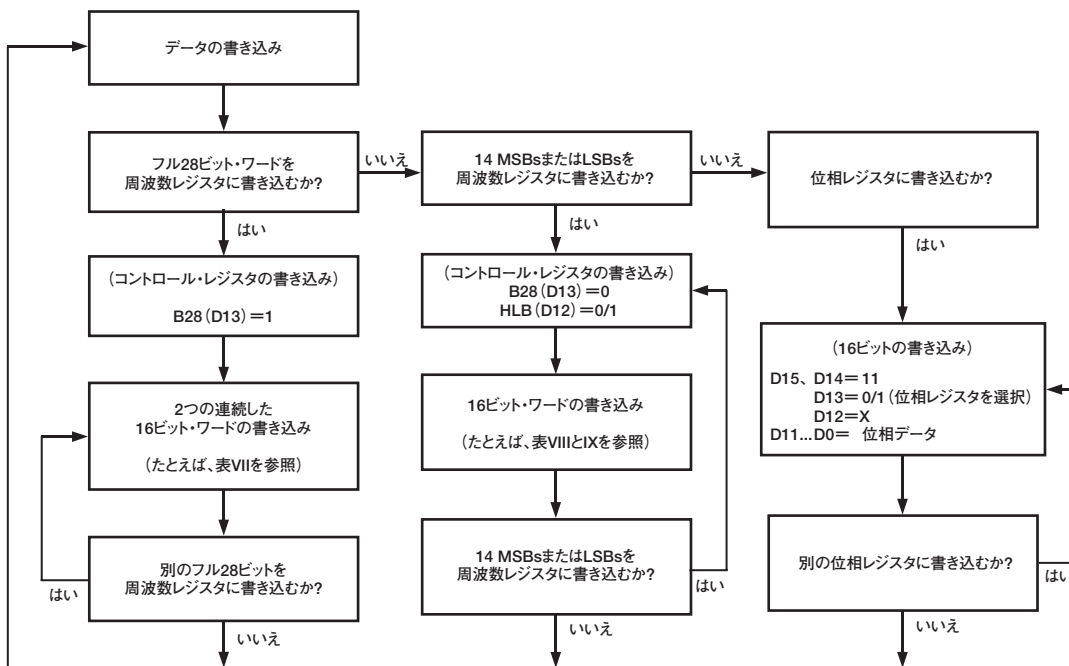


図10. データの書き込み

# AD9834

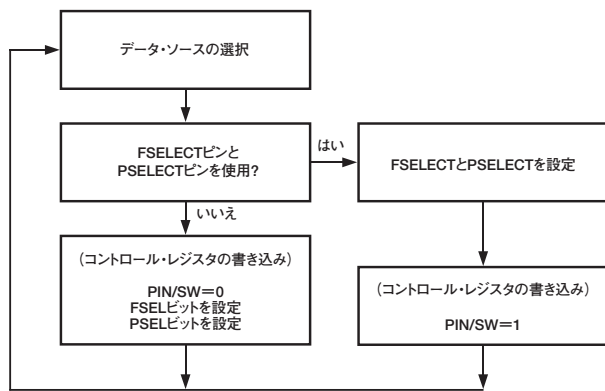


図11. データ・ソースの選択

## グラウンドとレイアウト

AD9834を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するように設計してください。こうすれば、簡単に分離できるグラウンド面を使用できるようになります。最適な絶縁が得られるため、グラウンド面には最小のエッチング技術を使用することが一番です。デジタルとアナログのグラウンド面は、一個所のみで接続します。AD9834がAGND~DGND接続を必要とする唯一のデバイスになる場合には、グラウンド面は、AD9834のAGNDピンとDGNDピンで接続してください。AGND~DGND接続を必要とするデバイスが複数あるシステムでAD9834を使用する場合は、AD9834のできるだけ近くに星形グラウンド・ポイントを配置し、その一個所だけで接続するようにしてください。

チップにノイズが混入する可能性があるため、AD9834の下にデジタル・ラインを通さないようにしてください。アナログ・グラウンド面は、ノイズの混入を回避するため、AD9834の下を通します。AD9834への電源ラインには、低インピーダンス・パスを実現して、電源ラインへのグリッチの影響を減らすため、できるだけ大きなパターンを使用します。クロックなどの速いスイッチング信号はデジタル・グラウンドで絶縁して、ボードの他の部分にノイズが広がらないようにします。デジタル信号とアナログ信号のクロスオーバーは避けてください。ボードの反対側のトレースは、互いに直角になるようにします。これによって、ボードを通るフィードスルーの影響が低減します。マイクロストリップ技術は格段に優れていますが、両面ボードでは利用できないこともあります。この方式では、ボードのコンポーネント側が必ずグラウンド面に置かれ、信号はハンダ側に置かれます。

優れたデカップリングを行うことが大切です。AD9834のアナログ電源とデジタル電源は独立しており、別々のピンを使用することによって、デバイスのアナログ部とデジタル部間のカップリングを最小限に抑えています。アナログ電源とデジタル電源はすべて、0.1μFセラミック・コンデンサと並列に配置した10μFタンタル・コンデンサを使用して、それぞれ、AGNDとDGNDに対しデカップリングします。デカップリング・コンデンサから最高の性能を引き出すには、できるだけデバイスの近く、理想的にはデバイスの対面に配置します。共通の電源を使用してAD9834のAVDD電源とDVDD電源を供給するシステムでは、システムのAVDD電源を使用することをお勧めします。この電源に対しては、AD9834のAVDDピンとAGNDの間に推奨アナログ電源デカップリング・コンデンサ、DVDDピンとDGNDの間に推奨デジタル電源デカップリング・コンデンサをそれぞれ接続してください。

コンパレータが正しく動作するには、優れたレイアウト対策が必要です。レイアウトでは、グラウンド面を使用してアイソレーションを強化することによって、 $V_{IN}$ とSIGN BIT OUTピンの間の寄生容量を最小限に抑える必要があります。たとえば、多層ボードでは、 $V_{IN}$ 信号を最上層に接続し、SIGN BIT OUTを最下層に接続すれば、電源面とグラウンド面の間でアイソレーションが実現できます。

## マイクロプロセッサへのインターフェース

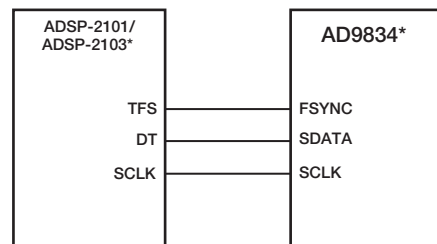
AD9834には標準のシリアル・インターフェースがあり、複数のマイクロプロセッサと直接インターフェースをとることができます。デバイスは、外部シリアル・クロックを使用して、データ/制御情報をデバイスに書き込みます。シリアル・クロックの最大周波数は40MHzです。シリアル・クロックは、連続させたり、書き込み操作と書き込み操作の間にアイドル・ハイまたはローにすることができます。AD9834にデータ/制御情報が書き込まれると、FSYNCがローレベルになり、16ビットのデータがAD9834に書き込まれている間はローレベルに保持されます。FSYNC信号は、AD9834にロードされる16ビットの情報をフレーミングします。

## AD9834とADSP-21xxとのインターフェース

図12に、AD9834とADSP-21xxのシリアル・インターフェースを示します。ADSP-21xxは、SPORT送信オルタネート・フレーミング・モード (TFSW=1) で動作するように設定してください。ADSP-21xxは、SPORTコントロール・レジスタを通じてプログラムされます。次のように構成してください。

- ・内部クロック動作 (ISCLK=1)
- ・アクティブ・ロー・フレーミング (INVTFS=1)
- ・16ビット・ワード長 (SLEN=15)
- ・内部フレーム同期信号 (ITFS=1)
- ・書き込みごとにフレーム同期を生成 (TFSR=1)

SPORTをイネーブルにしてからTxレジスタにワードを書き込むと、伝送が開始されます。シリアル・クロックの各立ち上がりエッジでデータがクロック出力され、SCLK立ち下がりがエッジでAD9834にクロック入力されます。



\*分かりやすくするために他のピンは省略してあります

図12. ADSP-2101/ADSP-2103とAD9834のインターフェース

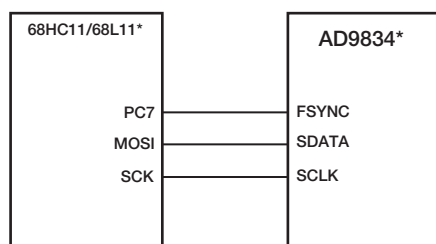
## AD9834と68HC11/68L11のインターフェース

図13に、AD9834と68HC11/68L11マイクロコントローラのシリアル・インターフェースを示します。マイクロコントローラは、SPCR内のビットMSTRを“1”に設定してマスターとして構成されています。これによってSCKにシリアル・クロックが提供され、MOSI出力がシリアル・データ・ラインSDATAを駆動します。マイクロコントローラには専用のフレーム同期ピンがないため、FSYNC信号はポート・ライン (PC7) から取ります。インターフェースが正しく動作するためのセットアップ条件は、次のとおりです。

- ・書き込み操作と書き込み操作の間、SCKをアイドル・ハイにする (CPOL=0)
- ・SCKの立ち下がりがエッジでデータを有効にする (CPHA=1)



データがAD9834に送信されているときに、FSYNCラインがローレベルになります（PC7）。68HC11/68L11からのシリアル・データは8ビット・バイトで送信され、送信サイクルでクロックの8つの立ち下がりエッジだけが発生します。データは、MSBファーストで送信されます。データをAD9834にロードするために、最初の8ビットが転送されてからPC7がローレベルに保持され、AD9834に2番目のシリアル書き込み操作が実行されます。FSYNCを再びハイレベルにするのは、2番目の8ビットが転送された後です。

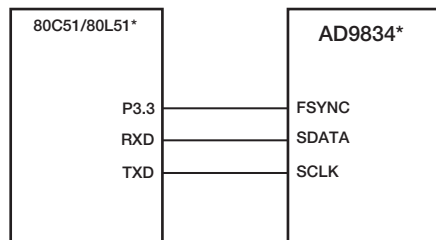


\*分かりやすくするために他のピンは省略してあります

図13. 68HC11/68L11とAD9834のインターフェース

### AD9834と80C51/80L51のインターフェース

図14に、AD9834と80C51/80L51マイクロコントローラとのシリアル・インターフェースを示します。マイクロコントローラはモード“0”で操作します。これによって、80C51/80L51のTXDがAD9834のSCLKを駆動し、RXDがシリアル・データラインSDATAを駆動します。ポート上のビット・プログラムブル・ピン（図ではP3.3を使用）からFSYNC信号が再び得られます。データをAD9834に送信するときは、P3.3がローレベルになります。80C51/80L51はデータを8ビット・バイトで送信するので、各サイクルで発生するのはSCLKの8つの立ち下がりエッジだけです。残りの8ビットをAD9834にロードするために、最初の8ビットが送信されてからP3.3がローレベルに保持され、2番目の書き込み操作が開始されてデータの2番目のバイトが送信されます。P3.3は、2番目の書き込み操作の終了後、ハイレベルになります。2つの書き込み操作の間では、SCLKをアイドル・ハイにしてください。80C51/80L51は、シリアル・データをLSBファーストのフォーマットで出力します。AD9834はMSBファーストを受け付ける（4 MSBsは制御情報、次の4ビットはアドレス、8 LSBsはデスティネーション・レジスタに書き込むときのデータ）ため、80C51/80L51の送信ルーチンでは、このことを考慮に入れて、MSBが最初に出力されるようにビットを並べ替える必要があります。

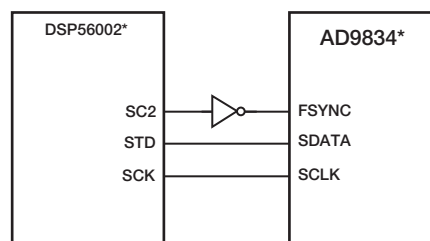


\*分かりやすくするために他のピンは省略してあります

図14. 80C51/80L51とAD9834のインターフェース

### AD9834とDSP56002のインターフェース

図15に、AD9834とDSP56002とのインターフェースを示します。DSP56002は、ゲートド内部クロック（SYN=0、GCK=1、SCKD=1）でノーマル・モードの非同期動作に構成されています。フレーム同期ピンは内部で生成され（SC2=1）、転送は16ビット幅で（WL1=1、WL0=0）、フレーム同期信号で16ビットをフレーミングします（FSL=0）。フレーム同期信号はピンSC2で使用できますが、AD9834に印加する前に反転する必要があります。DSP56000/DSP56001へのインターフェースは、DSP56002の場合と同様です。



\*分かりやすくするために他のピンは省略してあります

図15. DSP56002とAD9834のインターフェース

### AD9834評価ボード

AD9834評価ボードを使用すれば、設計者はわずかな作業で高性能なAD9834 DDS変調器を評価することができます。

デバイスがユーザーの波形合成条件に適合することを証明するためにユーザーに必要なものは、この評価ボードのほかに、電源、IBM互換PC、スペクトル・アナライザだけです。

DDS評価キットには、設定とテストが済んでいるAD9834プリント回路ボードが組み込まれています。評価ボードは、IBM互換PCの平行ポートに接続します。評価ボードに付属のソフトウェアによって、ユーザーはAD9834を簡単にプログラムすることができます。評価ボードの回路図を図15に示します。ソフトウェアは、Microsoft WIN95™、WIN98™、Windows ME™、またはWindows 2000 NT™をインストールした任意のIBM互換PCで動作します。

### AD9834評価ボードの使い方

AD9834評価キットは、AD9834の評価を簡単にするために設計されたテスト・システムです。評価ボードにはアプリケーション・ノートも添付され、評価ボードの操作に関する詳細な情報を提供します。

### プロトタイピング領域

評価ボードには、ユーザーが評価テスト・セットに回路を追加するための領域があります。出力用にカスタム・アナログ・フィルタを組み込んだり、最終アプリケーションで使用するバッファやオペアンプを追加したりできます。

### XOと外部クロック

AD9834は、最高50MHzのマスター・クロックで動作します。評価ボードには50MHzの発振器が含まれています。この発振器は除去することも可能です。必要な場合、外部CMOSクロックをデバイスに接続できます。

### 電源

AD9834評価ボードへの電源は、ピン接続を通じて外部から提供する必要があります。グラウンド・ループを低減するために、電源リードにひねりを加えてください。

# AD9834

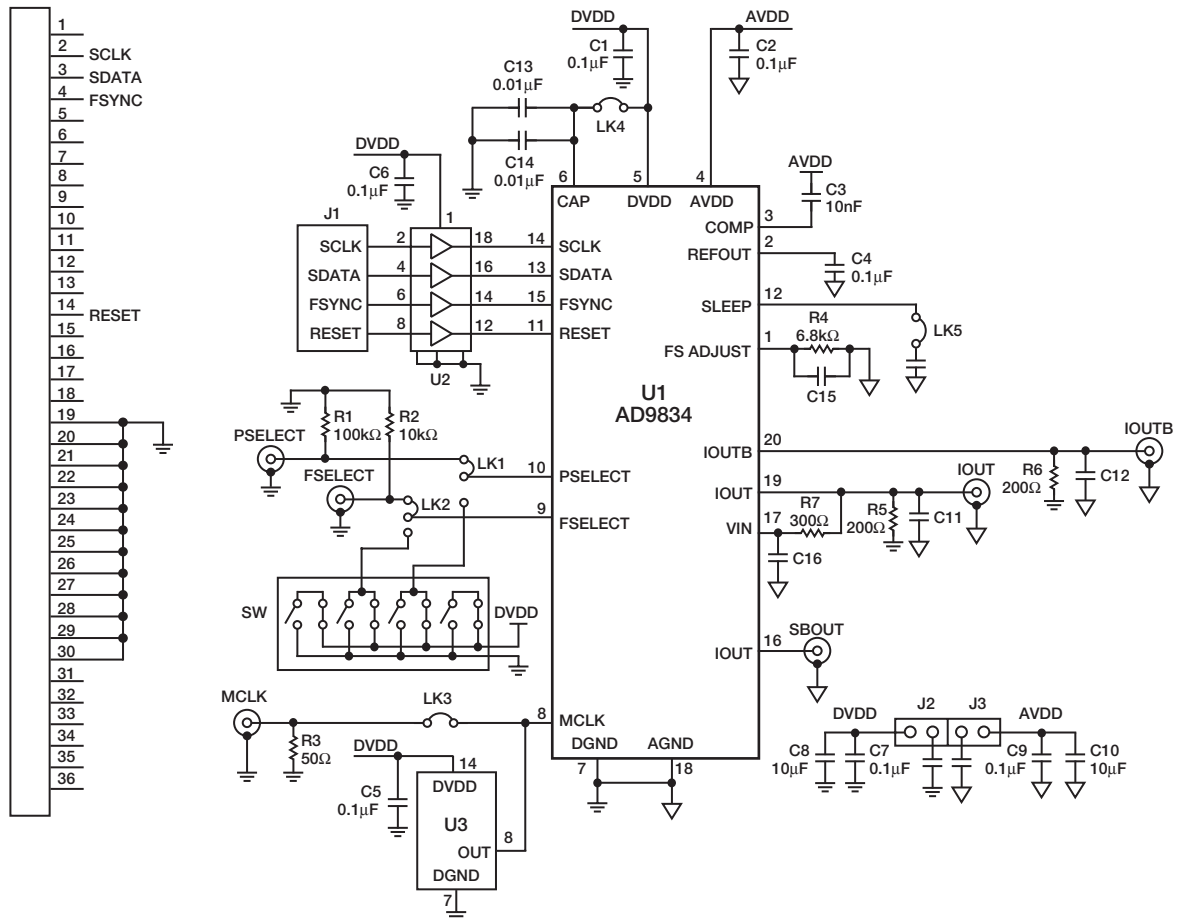


図16. 評価ボードのレイアウト

## 集積回路

U3	OSC XTAL 50MHz
U1	AD9834BRU
U2	74HCT244

## コンデンサ

C1、C2、C5、C6、C7、C9、C14	100nFセラミック・コンデンサ
C3、C4、C13	10nFセラミック・コンデンサ
C8、C10	10μFタンタル・コンデンサ
C11、C12、C15、C16	追加のデカップリング・コンデンサ用のオプション

## 抵抗

R1、R2	10kΩ抵抗
R3	50Ω抵抗
R4	6.8kΩ抵抗
R5、R6	200Ω抵抗
R7	300Ω抵抗

## リンク

LK1、LK2、LK5	3ピンのSilヘッダー
LK3、LK4	2ピンのSilヘッダー

## スイッチ

SW	エンド・スタッカブル・スイッチ (SDC双投)
----	-------------------------

## ソケット

PSEL1、FSEL1、CLK1	超小型BNC
IOUT、IOUTB、SBOUT	コネクタ

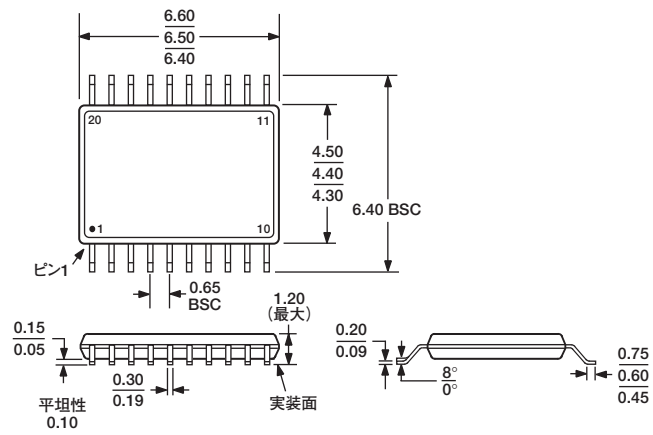
## コネクタ

J1	36ピンのエッジ・コネクタ
J2、J3	PCBマウントの端子ブロック

## 外形寸法

20ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]  
(RU-20)

寸法はミリメートルで表示



JEDEC規格MO-153ACに準拠

C02705-0-2/03(0)

C02705-0-2/03(0)

PRINTED IN JAPAN